

## Pressemitteilung

### Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration IZM

Susann Thoma

15.01.2025

<http://idw-online.de/de/news845783>

Forschungsprojekte, Kooperationen  
Elektrotechnik  
überregional



## Fraunhofer IZM engagiert sich in der APECS-Pilotlinie zur Förderung von Chiplet-Technologien

**Das Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration IZM gibt seine aktive Mitwirkung an der APECS-Pilotlinie bekannt, die innerhalb des Rahmens des EU Chips Acts ins Leben gerufen wurde. Die Initiative zielt darauf ab, die Entwicklung und Integration von Chiplet-Technologien voranzutreiben, um die Wettbewerbsfähigkeit der europäischen Halbleiterindustrie zu stärken.**

Innerhalb der APECS-Pilotlinie wird das Fraunhofer IZM eine Schlüsselrolle bei der Hardware-Integration von Chiplet-Systemen einnehmen. Mit der Verfügbarkeit der Chiplet-Einzelkomponenten bedient das Institut den gesamten Prozessablauf zur Realisierung eines voll funktionsfähigen Systems. Dafür entwickeln die Forschenden moderne Interposer-Technologien auf 300 mm, hochdichte Substrate, fortschrittliche Montagetechniken und stellen die notwendigen Prozesse für die weitergehende Heterointegration hochintegrierter Systeme bereit. Das Fraunhofer IZM positioniert sich mit den folgenden Innovationsschwerpunkten als zentraler Ansprechpartner für die System-Heterointegration in Europa.

### Entwicklung hochpräziser Integrationstechnologien

Die Chiplet-Technologie erfordert eine hochpräzise Montage auf hochdichten Interposern und Leiterplatten. Das Fraunhofer IZM wird innovative Lösungen zur Implementierung dieser Technologien voranbringen. So werden etwa durch Silizium-basierte Interposer die Kontaktraster von derzeit 15 Mikrometern auf unter 1 Mikrometer verkleinert. Auf Leiterplatten wird sich dank so genannter „Advanced PCBs“ das Kontaktraster im Mikrometerbereich bewegen.

Die Verbindung zwischen Chiplets erfordert leistungsfähige Interconnect-Technologien und spezielle Materialien zur Sicherstellung der Signalintegrität. Für die Gehäusetechnologie verfolgen die Forschenden verschiedene Integrationsansätze (2D, 2,5D, 3D), wobei thermisches Management entscheidend ist, um Hotspots zu vermeiden. Darüber hinaus stellt das Fraunhofer IZM umfassende Testumgebungen zur Verfügung, um die Funktionalität der einzelnen Chiplets nach ihrer Integration sicherzustellen.

### Prototyping von Substraten

Die Herstellung von Substraten mit feinsten Strukturen bis hinab zu 1 Mikrometer zur Realisierung von Prototypen für industrielle und akademische Partner ist ein Schlüssel, um Technologien für künstliche Intelligenz und das High Performance Computing zu entwickeln und zu validieren. Neben der Weiterentwicklung von Technologien auf organischen Substraten werden auch neue Materialien wie Glas in den Mittelpunkt der Forschungsarbeit gerückt.

### Entwicklung modularer Chiplet-Architekturen

Durch die Integration mehrerer spezialisierter Chiplets auf einem einzigen Substrat fördert das Fraunhofer IZM die Modularität und Kosteneffizienz der Systeme und unterstützt gleichzeitig die Wiederverwendbarkeit bestehender Chiplet-Designs. Diese Modularität wird durch die am Fraunhofer IZM bereitgehaltene und im Rahmen von APECS weiterentwickelte Toolbox unterschiedlichster Integrationsverfahren ermöglicht.

### Über die APECS-Pilotlinie

Die Pilotlinie für »Advanced Packaging and Heterogeneous Integration for Electronic Components and Systems« (kurz APECS) ist ein wichtiger Baustein des EU Chips Acts, um Chiplet-Innovationen voranzutreiben und die Forschungs- und Fertigungskapazitäten für Halbleiter in Europa zu erhöhen. Die in der Forschungsfabrik Mikroelektronik Deutschland (FMD) kooperierenden Institute arbeiten eng mit weiteren europäischen Partnern am Aufbau der APECS-Pilotlinie und leisten damit maßgeblich einen Beitrag, Europas technologische Resilienz zu stärken und somit auch die globale Wettbewerbsfähigkeit in der Halbleiterindustrie zu steigern. Sowohl großen Industrieunternehmen als auch KMU und Start-ups wird die Pilotlinie einen niederschweligen Zugang zu Cutting Edge-Technologien ermöglichen und für sichere, resiliente Halbleiterwertschöpfungsketten sorgen.

APECS wird durch Chips Joint Undertaking und durch nationale Förderungen von Belgien, Deutschland, Finnland, Frankreich, Griechenland, Österreich, Portugal und Spanien im Rahmen der »Chips for Europe« Initiative kofinanziert. Die Gesamtfinanzierung für die APECS-Pilotlinie beläuft sich auf 730 Millionen Euro über 4,5 Jahre.

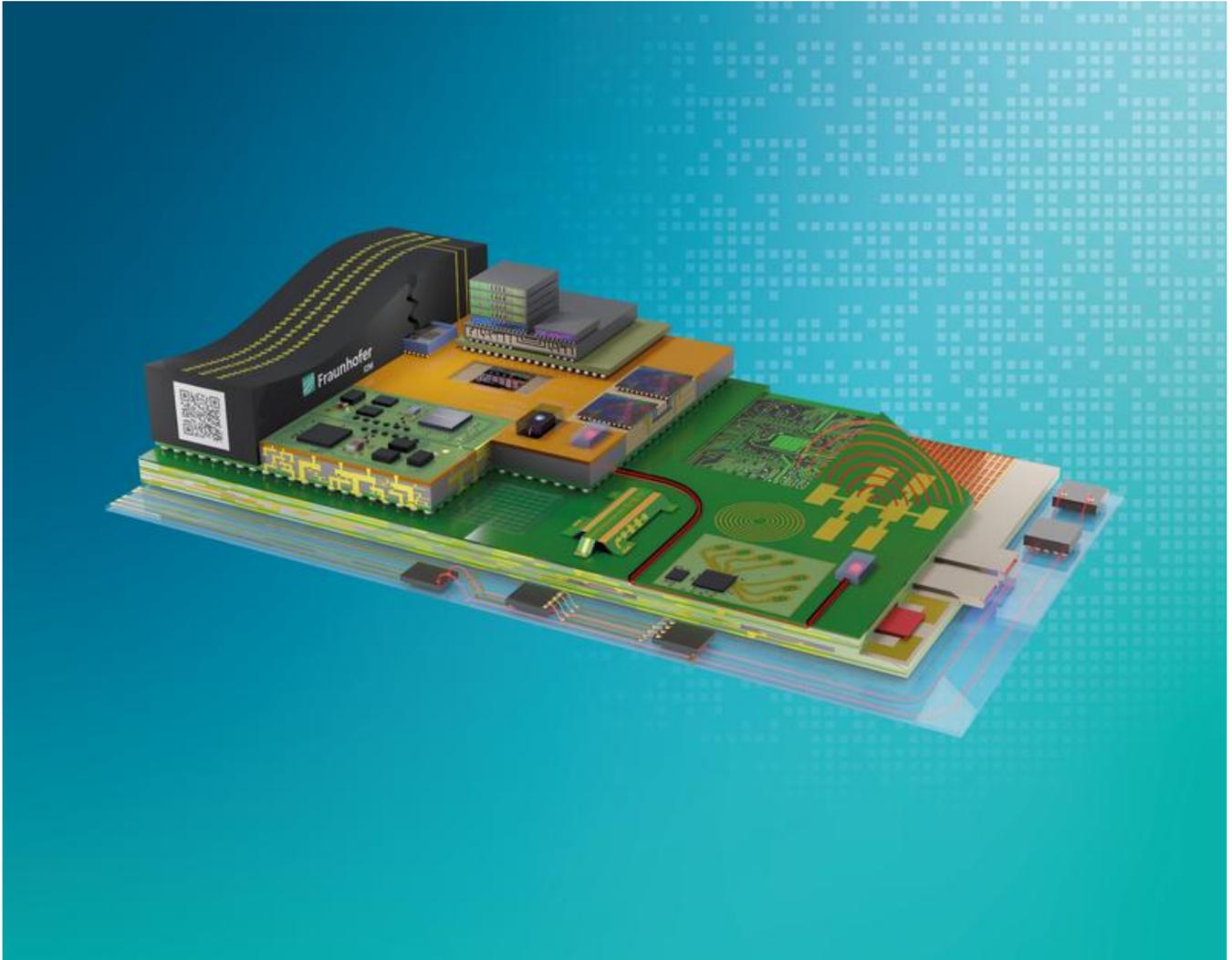
### wissenschaftliche Ansprechpartner:

Erik Jung | Telefon +49 30 46403-230 | erik.jung@izm.fraunhofer.de | Fraunhofer-Institut für Zuverlässigkeit und Mikrointegration IZM, Berlin | www.izm.fraunhofer.de

### Originalpublikation:

[https://www.izm.fraunhofer.de/de/news\\_events/tech\\_news/apecs.html](https://www.izm.fraunhofer.de/de/news_events/tech_news/apecs.html)

URL zur Pressemitteilung: <http://www.apecs.eu>



Keine Chipllets ohne heterogene Integration: Das High-End Performance Packaging vom Wafer zum System ist einer der Schlüssel zur Hardware-Realisierung innerhalb der APECS-Pilotlinie  
© Fraunhofer IZM